

## ⑫ 公開特許公報(A)

昭62-65375

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)3月24日

H 01 L 29/78  
G 02 F 1/133  
G 09 F 9/30  
H 01 L 27/12  
29/60

3 2 7

8422-5F  
8205-2H  
6810-5C  
7514-5F

審査請求 未請求 発明の数 2 (全8頁)

⑭ 発明の名称 半導体薄膜トランジスタ及びそれを用いた表示装置

⑮ 特 願 昭60-204945

⑯ 出 願 昭60(1985)9月17日

⑰ 発 明 者 海 上 隆 茨城県那珂郡東海村大字白方字白根162番地 日本電信電  
話株式会社茨城電気通信研究所内

⑱ 発 明 者 小 暮 攻 茨城県那珂郡東海村大字白方字白根162番地 日本電信電  
話株式会社茨城電気通信研究所内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 澤井 敬史

## 明 細 書

## 1. 発明の名称

半導体薄膜トランジスタ及びそれを用いた表示装置

## 2. 特許請求の範囲

- (1) 絶縁体からなる基板の主面上に半導体層、ゲート絶縁膜及びゲート電極を積層し、かつ前記半導体層の両端部に接続してソース電極、ドレイン電極を設けた半導体薄膜トランジスタにおいて、前記絶縁体基板のゲート電極下部に、少なくとも1本の溝を前記ソース電極と前記ドレイン電極を結ぶ方向に形成してなることを特徴とする半導体薄膜トランジスタ。

- (2) 絶縁体基板が透明であることを特徴とする特許請求の範囲第1項記載の半導体薄膜トランジスタ。

- (3) 絶縁体からなる基板の主面上に、表示素子と容量とスイッチング用の第1の薄膜トランジスタと表示素子駆動用の第2の薄膜トラン

ジスタ及び配線層を画素単位として形成されてなる表示装置において、前記第1及び第2の薄膜トランジスタが絶縁体基板の主面上に半導体層、ゲート絶縁膜及びゲート電極を積層し、かつ前記半導体層の両端部に接続してソース電極、ドレイン電極を設けた半導体薄膜トランジスタであって、前記絶縁体基板のゲート電極下部に少なくとも1本の溝が前記ソース電極と前記ドレイン電極を結ぶ方向に形成されている半導体薄膜トランジスタであることを特徴とする表示装置。

- (4) 絶縁体基板が透明であることを特徴とする特許請求の範囲第3項記載の表示装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高性能な半導体薄膜トランジスタ及びそれを用いた表示装置に関するものである。

## 〔従来技術〕

従来の透明ガラス基板上の薄膜トランジスタの構造を第4図～第6図に示す。第4図は平面図、第5図はA-A'方向の断面図、第6図はB-B'方向の断面図である。図中1は、透明ガラス基板、2はチャンネル領域を形成するシリコン薄膜に代表される半導体層、3はソース電極、4はゲート電極、5はドレイン電極、6はゲート絶縁膜である。

以下余白

されている。

以上の構成において、走査線24に薄膜トランジスタ20がオンとなるような電圧が印加されると、薄膜トランジスタ20がオンに転じ、液晶表示素子23に電圧が印加される。なお、第10図に、第9図で示した平面形表示パネルの画素分の具体的平面構成図を示す。但し基準線27等は省略してある。

従来のこのような平面形表示パネル装置においては、それに用いられる薄膜トランジスタに要求される諸性能は厳しいものではなく、例えば相互コンダクタンスについても、実装密度から規定される程度の低い値で十分であった。その理由はトランジスタが駆動すべき表示素子が液晶素子の場合、本質的に電圧駆動素子であるがゆえに大なる電流を通じる必要が<sup>ない</sup>ある。従ってトランジスタの相互コンダクタンス( $\mu m$ )は低いものでも十分であった。

更に、液晶素子の場合には、電源を切っても分子配向が長時間維持されるという一種のメモリ効

このように、従来の薄膜トランジスタは透明ガラス基板の平坦な主面上に形成されており、実効的なチャンネル幅は、半導体薄膜の幅( $W$ )に一致していた。このため、トランジスタの相互コンダクタンス( $\mu m$ )を高めるためにはチャンネル幅( $W$ )を増大させる必要があり、この場合は、平面寸法の増大を伴い、高密度化には適さなかった。

一方、半導体薄膜トランジスタの主たる応用面は、第9図に示すような表示素子(例えば液晶セル)を駆動するように、同一透明基板上に表示素子とトランジスタを集積してなる平面形表示パネル装置としての応用である。

第9図は平面形表示パネル装置の等価回路図、第10図は表示パネル装置の一面素分の具体的構成を示す平面図であり、20は液晶表示素子駆動用の薄膜トランジスタ、23は液晶表示素子、24は走査線、25は信号線、27は基準線である。液晶表示素子23の一方の電極は薄膜トランジスタ20のドレインまたはソースのいずれか一方と接続され、他方の電極は基準線27と接続

果があるため、後述する第11、第12図で示すEL素子を用いた平面形表示パネル装置の場合と異なり、第9図に示した様に、1個の薄膜トランジスタと液晶素子の組合せにより、一面素が構成されており、薄膜トランジスタの平面寸法が表示装置の実装密度に与える影響は少なかった。かかる観点から、従来は高い相互コンダクタンス値を有し、かつ高密度実装が可能である半導体薄膜トランジスタは必要性が低く、従って提案されたものはなかった。

## 〔発明が解決しようとする問題点〕

ところが、上述の液晶素子を用いた平面形表示パネル装置は、液晶を用いているため応答速度及びコントラストが低く、又外部光源を必要とするなど高性能表示パネル装置として適さないためエレクトロルミネッセンス素子(EL素子)を表示素子として利用したいという要求が高まってきた。ここで、薄膜半導体トランジスタで液晶素子及びEL素子を駆動する場合に、トランジスタに要求される条件を代表的な場合について比較すると

段-1のようになる。

表-1 駆動表示素子の種類と薄膜トランジスタに要求される諸条件(代表値)の比較

| 駆動対象<br>トランジスタ<br>性能 | 相互コンダクタンス<br>( $g_m$ ) | トランジスタ自身に<br>流れる電流値 |
|----------------------|------------------------|---------------------|
| 液晶素子                 | 0.1 $\mu S$ 程度         | 0.1 $\mu A$ 程度      |
| EL素子                 | 1 $\mu S$ 程度           | 1 $\mu A$ 程度        |

上記のとおり、EL素子を駆動の対象とする場合には、相互コンダクタンス( $g_m$ )は約1桁高くする必要がある。相互コンダクタンスを高めるには、半導体層の材質をアモルファスシリコンからキャリア移動度が大きなポリシリコン(多結晶シリコン)に変えることが考えられるが、材料の選択のみでは、相互コンダクタンスを1桁高めることはできず、構造面から相互コンダクタンスを高めることが必要である。しかしながら、従来構造のままで、相互コンダクタンスを高めるには、実装密度(平面寸法)を犠牲にしてチャンネル幅を広くする構成をとらざるを得なかった。

上記側面部は主面に対して傾斜もしくは直立しているので、ソース・ドレイン方向を結ぶ方向に直交する断面の幅、即ち、実効的なチャンネル幅を従来のように主面に平行な構造に比べて増大でき、しかも、素子の平面寸法は上記側面部を主面に投影した寸法しか増加しないので、ほとんど実装密度を低下させることがない。

即ち、実装密度を低下させることなく、実効的なチャンネル幅を増加することができ、従って、相互コンダクタンス値( $g_m$ )を高めることができる。

#### [実施例]

第1図は、本発明の薄膜トランジスタの平面構造を説明する図であり、第2図は第1図のAA'方向の一部(a-a')の拡大断面図、第3図は第1図のBB'方向の断面図である。但し、第2図で1/4で示す斜面と主面のなす角は垂直も含めて任意の角度で良い。このため、第1図の平面図においては、斜面の主面上への投影領域は記載していない。

これらの図面において、1はソース・ドレイン

本発明は、かかる従来の欠点に鑑み実装密度の低下を伴わずに相互コンダクタンスを高めた半導体薄膜トランジスタを提供することを目的とする

[問題点を解決するための手段]

本発明は、絶縁性基板上に形成される半導体薄膜トランジスタにおいて、当該絶縁性基板のチャンネル側主面に、ソース・ドレイン方向に溝を設け、溝の側面部にも、ゲート絶縁膜及びゲート電極を形成することを特徴とする。

更に、上記構造の半導体薄膜トランジスタを、高い相互コンダクタンス( $g_m$ )が要求されるエレクトロルミネッセンス(EL)素子の駆動トランジスタとして利用することを特徴とする。従来の半導体薄膜トランジスタとは、絶縁性基板の主面にソース・ドレイン方向の溝を有している点が最も異なる。

#### [作用]

本発明においては、絶縁性基板の主面上にソース・ドレイン方向に溝を設け、溝の側面部にもゲート絶縁膜及びゲート電極を形成しているので、

方向に溝を有するガラスに代表される絶縁性基板、2はチャンネル領域を形成するポリシリコン(多結晶シリコン)に代表される半導体層、3は薄膜トランジスタのソース電極、4はゲート電極、5はドレイン電極、6は二酸化シリコンに代表されるゲート絶縁膜、1/3は絶縁性基板の主面、もしくは主面に平行な部分、1/4は絶縁性基板の溝部の斜面部分を示す。又、Wは溝の幅を、Dは溝の深さを示す。

このような構造になっているから、同一平面寸法の半導体薄膜トランジスタに比べ、斜面1/4に形成されるチャンネル部分を有効に利用できるため実効的なチャンネル幅が増大し、従って相互コンダクタンスを増大できる。ここで、基板主面もしくはこれと平行な部分による薄膜トランジスタの相互コンダクタンスを( $g_m$ )<sub>1</sub>とし、溝部斜面の相互コンダクタンスを( $g_m$ )<sub>2</sub>とすると、1本の溝部では相互コンダクタンスは

$$(g_m) = (g_m)_1 + 2(g_m)_2 \text{ となる。}$$

又、溝を  $n$  本形成した場合には

$$(\varphi m)_n = n(\varphi m)_1 + 2n(\varphi m)_2 \text{ となる。}$$

溝の斜面が主面に対し、垂直である場合には、上式の  $2n(\varphi m)_2$  がそのまま従来の溝が存在しない構造に対する相互コンダクタンスの増加分となる。一方、第2図に示すごとく、斜面が主面に垂直でない場合には比較すべき従来構造の  $(\varphi m)$  としては、当該斜面を主面に投影した寸法によるコンダクタンス値を加えたものとして比較する必要がある。この場合、斜面の傾斜角が緩やかであるほど、従来構造とのちがいが少なくなる。このように、本発明においては溝の寸法、断面形状は任意であるが、溝の効果をより一層顕著に現わすには、幅  $(W)$  と深さ  $(D)$  が同程度であるか、又は、深さ  $(D)$  が幅  $(W)$  より大となる条件が好ましい。

次に、このような構造の半導体薄膜トランジスタの製造方法について説明する。

まずはじめに、ガラス基板に代表される絶縁性基板上に、公知のホトリソグラフィ技術により、

ターンを形成する。電極の材質としては、アルミニウムが一般的に用いられ、電子ビーム蒸着や、スパッタ蒸着により形成される。

第7図は、このようにして作成した本発明の薄膜トランジスタと従来構造の薄膜トランジスタの相互コンダクタンス値  $(\varphi m)$  を比較したものである。なお、これらのトランジスタにおいて、チャンネルの平面寸法は  $100\mu\text{m}$ 、チャンネル長は  $10\mu\text{m}$  であり、ゲート電圧  $V_G$  は  $2\sim 3\text{V}$ 、ソース・ドレイン電圧  $V_{DS}$  は  $60\text{V}$  である。又、半導体層はポリシリコン（多結晶シリコン）を用い、その熱酸化膜 ( $\text{SiO}_2$ ) を用いた。溝の幅は  $0.3\mu\text{m}$  とした。

又、溝の深さは  $0.3\mu\text{m}$  と  $0.5\mu\text{m}$  の2とおりについて検討し、溝の本数は、それぞれ20、40、60本について実験した。第7図の実験結果から明らかのように、溝の本数を増加させることにより、相互コンダクタンス値  $(\varphi m)$  を増加させることができることがわかる。又、同図よりサブミクロンオーダーの微細加工技術を応用して、 $100\mu\text{m}$  の

レジストパターンを形成後、これをマスクとして湿式あるいは乾式エッチングを行い、ガラス基板をエッチングして溝を形成する。溝の代表的な寸法は、幅  $(W)$  はサブミクロン  $\sim 1.0\mu\text{m}$  程度、深さ  $(D)$  はサブミクロン  $\sim 0.5\mu\text{m}$  である。

次に、チャンネル領域となる半導体層(2)としてポリシリコン（多結晶シリコン）を同じくホトリソグラフィ技術と薄膜形成技術により形成する。薄膜形成技術としては減圧OVD、常圧CVD又は電子ビームやスパッタを用いた蒸着のいずれでも可能である。なお、膜厚は  $0.1\sim 1.0\mu\text{m}$  程度である。

次にゲート絶縁膜(6)を同様に形成する。ゲート絶縁膜の材質としては  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Ta}_2\text{O}_5$  等の絶縁膜である。製法は半導体層(2)の直接酸化、又は減圧OVD、常圧CVD、スパッタ蒸着のいずれも可能である。なお、膜厚は  $500\sim 3000\text{\AA}$  程度である。

最後に、同じくホトリソグラフィ技術と蒸着技術によりソース・ドレイン、ゲートの各電極パ

ターンを形成する。電極の材質としては、アルミニウムが一般的に用いられ、電子ビーム蒸着や、スパッタ蒸着により形成される。

又、表示素子駆動用トランジスタとして要求される他のパラメータについて検討した結果、第8図に示すように素子耐圧  $V_{BD}$  は約  $16.5\text{V}$  であった。又、ゲート長を  $5\mu\text{m}$  とした場合及び  $30\mu\text{m}$  とした場合についても実験したが、従来構造とほとんど変わりがなかった。

更に、トランジスタのOFF時リーク電流を測定した結果、従来構造とほぼ等しいリーク電流密度（約  $10^{-11}\text{A}/\mu\text{m}$ ）が得られた。以上の結果より、本発明の構造により、他の性能を損うことなく、又、実装面積の増大を伴わずに半導体薄膜トランジスタの相互コンダクタンスを高めることができることが明らかである。

次に第11図～第13図により、本発明の薄膜トランジスタを用いたEL素子を表示素子とする平面形表示パネル装置の実施例を説明する。

第11図は、EL素子を用いた平面形表示パネル

装置の一般的な等価回路図である。ここに、20はスイッチング用の薄膜トランジスタ、21は表示素子駆動用の薄膜トランジスタ、22は信号電圧保持用の容量、23はEL表示素子である。24は走査線、25は信号線、26は電源線、27は基準線である。

又、第12図、第13図は第11図で示した平面形表示パネルの一面素分の構成を示す平面図であり、第12図は従来構造の薄膜トランジスタと、表示素子としてEL素子を用いた場合の代表的平面図を示す。又、第12図は表示素子としてエレクトロルミネッセンス(EL)素子を用い、従来構造の薄膜トランジスタを用いて、相互コンダクタンスを高めるようにした場合の代表的な平面図を示す。又、第13図は第12図と等しい相互コンダクタンス値を達成できる本発明の薄膜トランジスタを用いた場合のEL素子用平面形表示パネル装置の平面図である。

第11図のEL素子を用いた平面形表示パネル装置の等価回路図を用いて動作を説明する。ここ

EL素子23へ電源線26の交流電圧が印加され、EL素子23が発光する。

第12図は一面素分の平面構成を示し、123はEL素子、122は容量、120、121は、従来構造の薄膜トランジスタの相互コンダクタンスを高くした代表的な例である。トランジスタのチャンネル幅は約100 $\mu\text{m}$ にもなる。なお、一面素の開口率は約50%であり、一面素の寸法は約250 $\mu\text{m}^2$ ~200 $\mu\text{m}^2$ 、従って表示密度は4~5本/mm<sup>2</sup>であった。一方、本発明により開示した技術により、同一基板の主面上に、薄膜トランジスタと、容量と、表示素子たるEL素子が集積されてなる平面形パネル表示装置において、薄膜トランジスタのチャンネル直下部の絶縁性基板に溝を設けることにより、薄膜トランジスタの相互コンダクタンスを、トランジスタの平面寸法を増加させることなく高めることができるので、そのようなトランジスタを設ければ、表示装置の実装密度を高めることに効果がある。

第13図は、第12図中の薄膜トランジスタの

に、20はスイッチング用の薄膜トランジスタ、21はEL素子駆動用の薄膜トランジスタ、22は信号電圧保持用の容量、23はEL素子、24は走査線、25は信号線、26は電源線、27は基準線である。EL素子23の一方の電極は薄膜トランジスタ21のドレインまたはソースのいずれか一方と接続され、EL素子23の他方の電極は電源線26と接続されている。基準線27は薄膜トランジスタ21のドレインおよびソースのいずれか他方と接続され、かつ、容量22を介して薄膜トランジスタ21のゲートと接続され、信号線25は薄膜トランジスタ20のドレイン・ソース間を介して薄膜トランジスタ21のゲートと接続され、走査線24は薄膜トランジスタ20のゲートと接続されている。

以上の構成において、走査線24へ薄膜トランジスタ20がオンとなる電圧が印加されると、薄膜トランジスタ20がオンへ転じ、容量22が充電されて、この端子電圧が信号線25の電圧と等しくなり、薄膜トランジスタ21もオンへ転じ

相互コンダクタンス(約1 $\mu\text{S}$ )に等しい値を約30 $\mu\text{m}$ のチャンネル幅で実現できた例を示すものである。第13図の場合、一面素分の寸法は約100 $\mu\text{m}^2$ ×90 $\mu\text{m}^2$ であり、従って表示密度は9~12本/mm<sup>2</sup>となる。このようにして試作したEL表示装置の性能を測定した結果、実装密度：約10本/mm<sup>2</sup>、コントラスト100:1以上、応答速度：2~3 $\mu\text{s}$ 、駆動電圧：約50Vrms、一面素当りの消費電力：約2×10<sup>-3</sup>Wであり高性能高密度なEL表示装置の性能を確認でき、本発明の効果が実証できた。

#### 〔発明の効果〕

以上説明したように、本発明によれば、薄膜トランジスタ、もしくは薄膜トランジスタと容量、表示素子とからなる平面形表示パネル装置の絶縁性基板の主面に、ソース・ドレイン方向の溝を設けることにより、実装密度の低下を伴うことなく、薄膜トランジスタの相互コンダクタンスを高めることができる。この結果、電流駆動素子のため、その駆動には高い相互コンダクタンスが要求される。

エレクトロルミネッセンス(EL)素子を用いた平面形表示パネル装置に適用することにより、EL素子の高速応答性と高集積密度を両立できる高性能な表示装置を実現できる。

#### 4 図面の簡単な説明

第1図は本発明にかかる半導体薄膜トランジスタの平面図、第2図は第1図のAA'方向の部分的(aa'間の)拡大断面図、第3図は第1図のBB'方向の断面図、第4図は従来の半導体薄膜トランジスタの平面図、第5図は第4図のA-A'方向の部分的(bb'間の)拡大断面図、第6図は第4図のB-B'方向の断面図、第7図は従来例と本発明の半導体薄膜トランジスタの相互コンダクタンスを比較した図、第8図は本発明の半導体薄膜トランジスタの素子耐圧測定結果を示す図、第9図は液晶を用いた平面形表示パネル装置の等価回路図、第10図は第9図に示す表示装置の一面素分の平面図の代表例、第11図はELを用いた平面形表示パネル装置の等価回路図、第12図は第11図に

示す表示装置の一面素分の平面図であって、表示素子としてEL素子を用い、トランジスタとして従来の構造を用いた場合の代表例、第13図は本発明にかかる平面形表示パネル装置の一面素分の平面図であって、表示素子としてEL素子を用いた場合の代表例である。

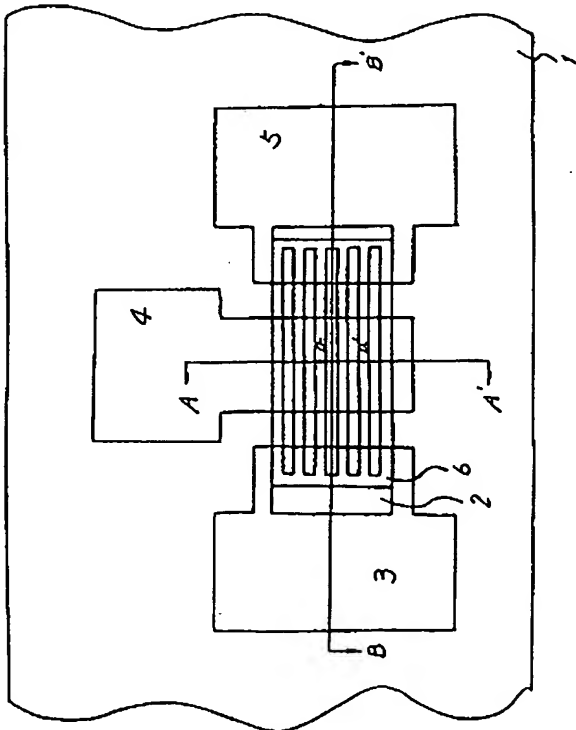
1…絶縁性基板、2…半導体層、3…ソース電極、4…ゲート電極、5…ドレイン電極、6…ゲート絶縁膜、13…絶縁性基板の主面に平行な領域、14…絶縁性基板に設けた溝の側面部、20、21、120、121、220、221…半導体薄膜トランジスタ、22、122、222…容量、23…液晶表示素子、123、223…EL表示素子、24、124、224…走査線、25、125、225…信号線、26、126、226…電源線、27、127、227…基準線。

代理人

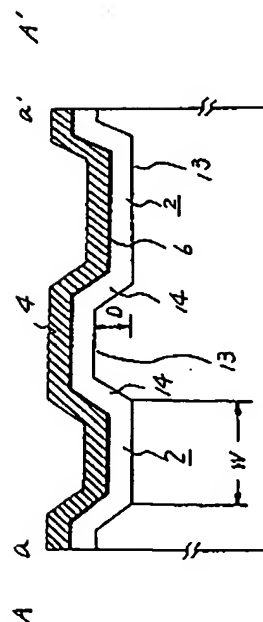
日本電信電話株式会社研究開発本部内

弁理士 澤井 敬 史

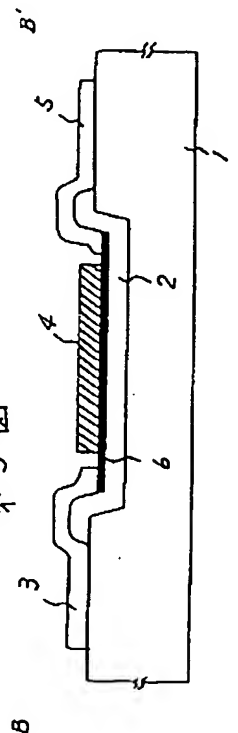
第1図



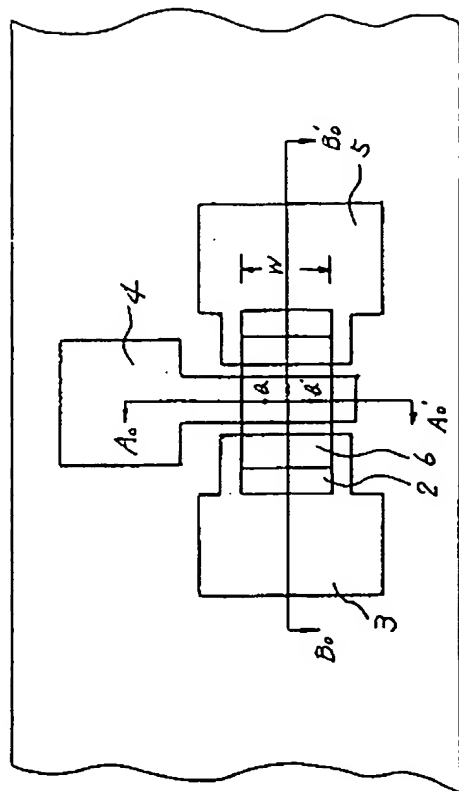
第2図



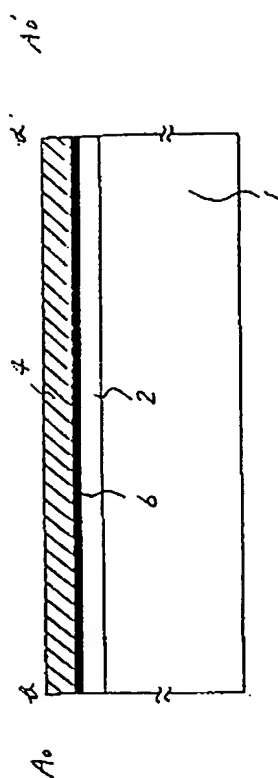
第3図



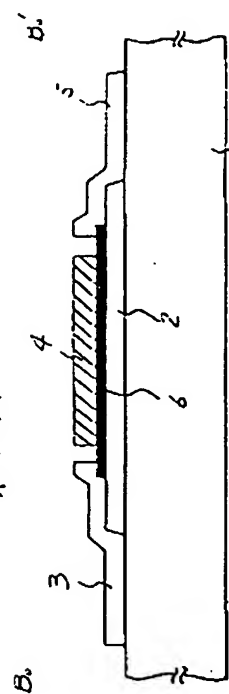
第 4 図



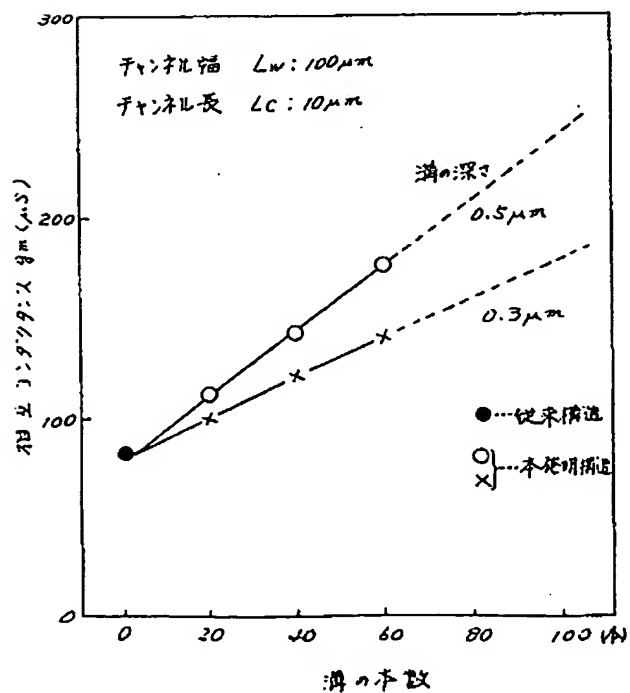
第 5 図



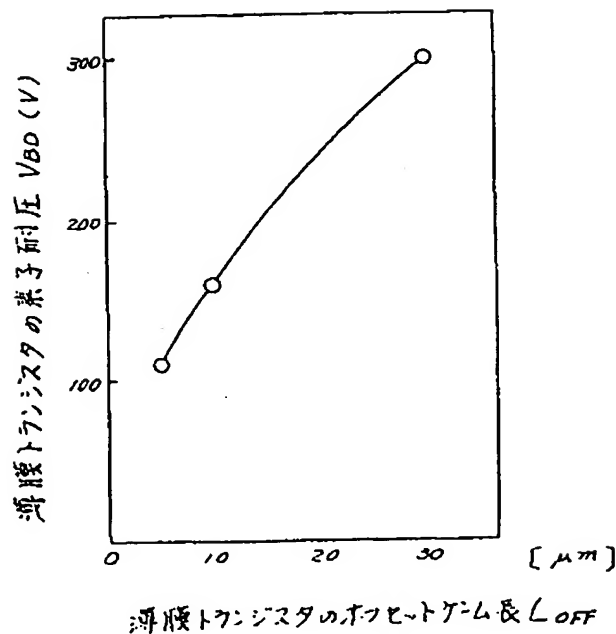
第 6 図



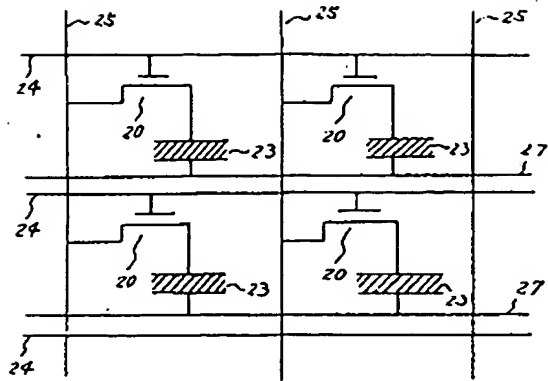
第 7 図



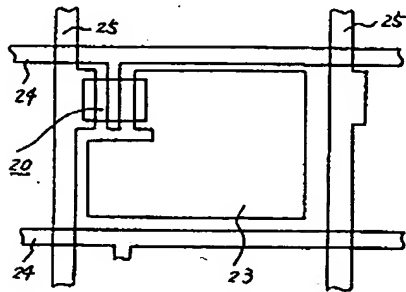
第 8 図



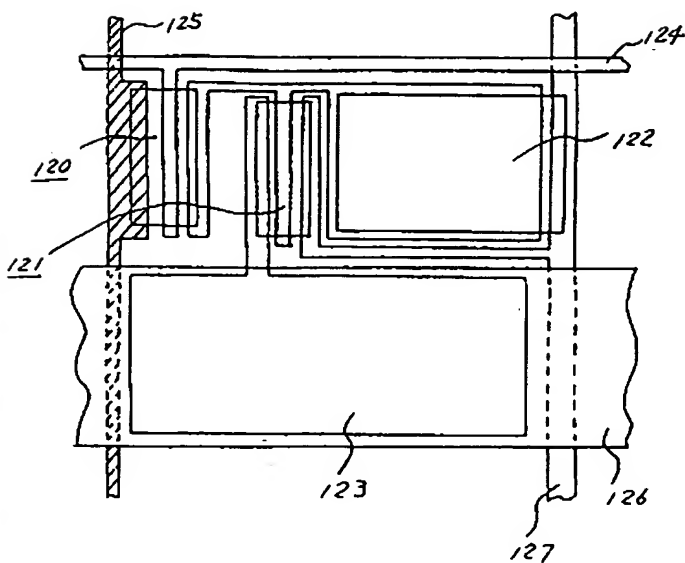
第 9 図



第 10 図



第 12 図



第 13 図

